

PCT/JP 98/02870
29.07.98

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

REC'D	14 AUG 1998
WIPO	PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1997年 6月27日

出 願 番 号
Application Number:

平成 9年特許願第171470号

出 願 人
Applicant (s):

株式会社日立製作所

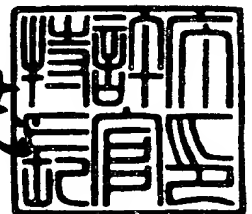
BEST AVAILABLE COPY

PRIORITY DOCUMENT

1998年 6月26日

特 許 庁 長 官
Commissioner,
Patent Office

伴 佐 山 建 志



出証番号 出証特平10-3047786

【書類名】 特許願

【整理番号】 1197006961

【提出日】 平成 9年 6月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/093

【発明の名称】 位相同期回路及びそれを用いた情報処理システム

【請求項の数】 12

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 加藤 和男

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 佐瀬 隆志

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 堀田 多加志

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号
株式会社 日立製作所 半導体事業部内

【氏名】 青木 郭和

【発明者】

【住所又は居所】 東京都青梅市今井2326番地
株式会社 日立製作所 デバイス開発センタ内

【氏名】 栗田 公三郎

【特許出願人】

【識別番号】 000005108

【郵便番号】 101
【住所又は居所】 東京都千代田区神田駿河台四丁目6番地
【氏名又は名称】 株式会社 日立製作所
【代表者】 金井 務

【代理人】

【識別番号】 100068504
【郵便番号】 100
【住所又は居所】 東京都千代田区丸の内一丁目5番1号
株式会社 日立製作所内

【弁理士】

【氏名又は名称】 小川 勝男
【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9003094

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 位相同期回路及びそれを用いた情報処理システム

【特許請求の範囲】

【請求項1】

出力信号を入力側へ帰還する負帰還路と、上記負帰還路によって帰還された信号と入力電流とを加算する加算器とを有し、上記加算器から出力される電流によって上記出力信号を発生する電流制御発振器であって、

上記負帰還路に、入力の信号の変化に対して直線的に出力の電流が変化する周波数電流変換回路を設けたことを特徴とする電流制御発振器。

【請求項2】

請求項1において、

上記周波数電流変換回路は、入力される信号に基づいて充放電を行うCMOSインバータと容量によって構成した充放電回路と、複数のカレントミラー回路を折り返して接続したカレントミラーフィルタとを有することを特徴とする電流制御発振器。

【請求項3】

入力される第1の電流に応じて第1の周波数を有する信号を出力する電流制御発振器と、

上記第1の周波数を有する信号を入力し、第2の電流に変換する第1の周波数電流変換回路と、

第2の周波数を有する信号を入力し、第3の電流に変換する第2の周波数電流変換回路と、

上記第2の電流と上記第3の電流を加算して上記第1の電流を出力する加算器とを有し、

上記第1、第2の周波数電流変換回路は、入力される信号の変化に直線的に出力の電流が変化することを特徴とする発振回路。

【請求項4】

請求項3において、

上記第1の周波数電流変換回路は、入力される第1の周波数を有する信号に基

づいて充放電を行うCMOSインバータと容量によって構成した充放電回路と、複数のカレントミラー回路を折り返して接続したカレントミラーフィルタとを有し、

上記第2の周波数電流変換回路は、入力される第2の周波数を有する信号に基づいて充放電を行うCMOSインバータと容量によって構成した充放電回路と、複数のカレントミラー回路を折り返して接続したカレントミラーフィルタとを有することを特徴とする発振回路。

【請求項5】

発振器と、

外部から入力される第1の周波数を有する信号と上記発振器から出力される第2の周波数を有する信号との位相を比較する位相比較器と、

上記発振器から出力される上記第2の周波数を有する信号入力し電流に変換するとともに、この入力される上記第2の周波数を有する信号の変化に対する上記電流の変化が広範囲にわたって正比例の関係を有する周波数電流変換回路と、

上記発振器と接続され上記位相比較器の出力と上記周波数電流変換回路の出力を加算する加算器とを有し、

上記第1の周波数を有する信号の位相に同期した第2の周波数を有する信号を出力することを特徴とする位相同期回路。

【請求項6】

請求項5において、

上記周波数電流変換回路は、上記発振器から出力される上記第2の周波数を有する信号に基づいて充放電を行うCMOSインバータと容量によって構成した充放電回路と、複数のカレントミラー回路を折り返して接続したカレントミラーフィルタとを有することを特徴とする位相同期回路。

【請求項7】

発振器と、

外部から入力される第1の周波数を有する信号と上記発振器から出力される第2の周波数を有する信号との位相を比較する位相比較器と、

上記発振器から出力される上記第2の周波数を有する信号入力し電流に変換す

るとともに、この入力される上記第2の周波数を有する信号の変化に対する上記電流の変化が広範囲にわたって正比例の関係を有する第1の周波数電流変換回路と、

上記外部から入力される上記第1の周波数を有する信号入力し電流に変換するとともに、この入力される上記第1の周波数を有する信号の変化に対する上記電流の変化が広範囲にわたって正比例の関係を有する第2の周波数電流変換回路と

上記発振器と接続され上記位相比較器の出力と上記第1、第2の周波数電流変換回路の出力とを加算する加算器とを有し、

上記第1の周波数を有する信号の位相に同期した第2の周波数を有する信号を出力することを特徴とする位相同期回路。

【請求項8】

請求項7において、

上記第1の周波数電流変換回路は、入力される第2の周波数を有する信号に基づいて充放電を行うCMOSインバータと容量によって構成した充放電回路と、複数のカレントミラー回路を折り返して接続したカレントミラーフィルタとを有し、

上記第2の周波数電流変換回路は、入力される第1の周波数を有する信号に基づいて充放電を行うCMOSインバータと容量によって構成した充放電回路と、複数のカレントミラー回路を折り返して接続したカレントミラーフィルタとを有することを特徴とする発振回路。

【請求項9】

外部から入力される第1の周波数を有する信号の位相に同期した第2の周波数を有する信号を出力位相同期回路と、

上記位相同期回路によって出力される第2の周波数を有する信号により制御され、入力されたデータを処理する論路回路とを有する情報処理装置であって、

上記位相同期回路は、

発振器と、

外部から入力される上記第1の周波数を有する信号と上記発振器から出力され

る第2の周波数を有する信号との位相を比較する位相比較器と、

上記発振器から出力される上記第2の周波数を有する信号入力し電流に変換するとともに、この入力される上記第2の周波数を有する信号の変化に対する上記電流の変化が広範囲にわたって正比例の関係を有する周波数電流変換回路と、

上記発振器と接続され上記位相比較器の出力と上記周波数電流変換回路の出力を加算する加算器とを有することを特徴とする情報処理装置。

【請求項10】

請求項9において、

上記周波数電流変換回路は、上記発振器から出力される上記第2の周波数を有する信号に基づいて充放電を行うCMOSインバータと容量によって構成した充放電回路と、複数のカレントミラー回路を折り返して接続したカレントミラーフィルタとを有することを特徴とする位相同期回路。

【請求項11】

基準発振器と、

上記発振器から出力される第1の周波数を有する信号を入力し、入力されるデータを処理する複数の情報処理装置と、

上記複数の情報処理装置間を接続するバスとを有する情報処理システムであって、

上記それぞれの情報処理装置は、

発振器と、上記基準発振器出力される上記第1の周波数を有する信号と上記発振器から出力される第2の周波数を有する信号との位相を比較する位相比較器と、上記発振器から出力される上記第2の周波数を有する信号入力し電流に変換するとともに、この入力される上記第2の周波数を有する信号の変化に対する上記電流の変化が広範囲にわたって正比例の関係を有する周波数電流変換回路と、上記発振器と接続され上記位相比較器の出力と上記周波数電流変換回路の出力を加算する加算器とを有する位相同期回路と、

上記位相同期回路から出力される第2の周波数を有する信号に基づいてデータを処理する論理回路とを有することを特徴とする情報処理システム。

【請求項12】

請求項11において、

上記周波数電流変換回路は、上記発振器から出力される上記第2の周波数を有する信号に基づいて充放電を行うCMOSインバータと容量によって構成した充放電回路と、複数のカレントミラー回路を折り返して接続したカレントミラーフィルタとを有することを特徴とする位相同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は制御発振器（VCO／CCO）の線形化制御を行った位相同期ループ（PLL）回路に関するもので、マイクロプロセッサに内蔵集積化されたクロック発生回路応用に好適な技術である。

【0002】

【従来の技術】

位相同期ループ回路（以下PLLと略称）は近年マイクロプロセッサの内蔵クロック発生手段として多用されており、その動作周波数もマイクロプロセッサの応用に従って広範囲、かつ高周波化している。広い範囲の動作周波を必要とする応用に対しては、可及的に少ない品種で応用範囲をカバーしうるとような、広範囲動作PLLがメーカ／ユーザ双方にとって経済的であり、広範囲動作PLL設計の必要性が高まっている。

【0003】

広範囲動作PLLの実現には動作周波数に比例した何らかのバイアス発生、制御手段が必要であり、その実現手段としては従来より幾つかの技術の開示がなされている。例えば特開平4-37219号では、動作周波数が所定値よりも移動した点ではPLLにおけるループフィルタ出力電圧も移動するため、ループフィルタ電圧を検出して常に $V_{cc}/2$ に制御するバイアス制御を加えることによって安定した動作を実現している。さらに、特開平2-230821号、特開平8-139597号では、PLL中の電流制御発振器（CCO）の動作点設定をCCOと同じ遅延特性を有するレプリカ回路を用いて設定する方法で、入力動作周波数に比例したCCO

の動作設定を行い、安定した動作を実現している。

【0004】

【発明が解決しようとする課題】

上述の従来例では、広範囲動作に必要な条件として制御発振器CCOの入出力特性が直線的であると見なして回路を構成し、制御している。しかしながらCCOは入出力特性が非線形特性であり、この場合中心周波数の設定点やCCOの制御利得も非線形になるため広範囲に亘って動作させるとPLLの制御系の主要パラメータが最適設計値から外れ、安定動作させることができない。従って、安定な動作をさせるためにCCOの直線性の良い低周波側に制限して動作させるようにしている。

【0005】

一方、この分野におけるLSI技術は、年々、微細化、低電圧化、高周波化が進展しているためCCO特性の飽和、その他の非線形性も年々増大しており、PLLにおける広範囲動作設計の要求実現を著しく困難なものにしている。

【0006】

このような問題に鑑みて、本発明の第1の目的は、CCOの非線形性に基づく中心周波数設定のずれやループの制御利得の不安定要因を除去し、広範囲動作可能なPLLを実現することにある。

【0007】

また、本発明の第2の目的は、従来例のバイアス回路方式が有する消費電力を大幅に低減することにある。

【0008】

また本発明の第3の目的は、より高精度のループ制御を行うためのF/I変換器を提供することにある。

【0009】

【課題を解決するための手段】

上記目的を達成するために、本発明は出力信号を入力側へ帰還する負帰還路と、負帰還路によって帰還された信号と入力電流とを加算する加算器、加算器から出力される電流によって出力信号を発生する電流制御発振器とを有し、負帰還路

に、入力信号の変化に対して直線的に出力電流が変化する周波数電流変換回路を設けたことを特徴としている。

【0010】

また、上記目的を達成するために本発明は入力される第1の電流に応じて第1の周波数を有する信号を出力する電流制御発振器と、第1の周波数を有する信号を入力し、第2の電流に変換する第1の周波数電流変換回路と、第2の周波数を有する信号を入力し、第3の電流に変換する第2の周波数電流変換回路と、第2の電流と第3の電流を加算して第1の電流を出力する加算器とを有し、第1、第2の周波数電流変換回路は、入力される信号の変化に直線的に出力の電流が変化することを特徴としている。

【0011】

【発明の実施の形態】

図1に本発明の広帯域PLL回路のブロック図を示す。この広帯域PLL回路は、入力端子10から入力される入力周波数 f_{in} の入力信号と、出力周波数 f_o の出力信号とを位相比較器700に入力した結果得られる、位相差に応じた電流 ΔI_1 と、出力周波数 f_o の出力信号をF/I変換器300を介し得られる出力電流 I_o と、入力周波数 f_{in} の入力信号をF/I変換器400を介して得られる設定電流 I_c によりCC0100を制御するための制御電流 I_v' を決定する構成としている。

【0012】

そして本発明の広帯域PLL回路では、入出力特性の直線性が広範囲に亘って高いF/I変換器300を用いて、出力信号を帰還する構成としているためにCC0100の入出力特性を広範囲に亘って直線的にしている。

【0013】

以下、各部の詳細な説明を行った後、図1の説明を再度行う。

【0014】

図2は、本発明の広帯域PLL回路の基本的な制御系の構成を示したものである。図2に示した制御系はCC0100の出力周波数 f_v を入出力特性の直線性の良いF/I変換器300を介して帰還する構成としている。入力端子15を介して

入力電流源500からの入力された設定電流 I_c は、電流加算回路200によって帰還された F/I 変換器の出力電流 I_o と加算される。電流加算回路200により加算された電流は制御電流 I_v としてCC0 100に入力され、CC0 100はこの制御電流 I_v に応じた周波数 f_v の出力信号を出力する。ここで、電流加算回路200は I_c を正極性、 I_o を負極性として入力し、その差($I_c - I_o$)を制御信号 I_v としているので、この制御系は $I_c - I_o = 0$ となるような状態に制御される。

【0015】

図3は図2の電流加算回路200とCC0 100の詳細構成を示したものである。図3において、点線内に示した回路が電流加算回路200である。電流加算回路200はNMOSトランジスタ対Q8, Q9及びPMOSトランジスタQ10、及び小容量のキャパシタC4で構成される。電流加算回路200は2つの入力端子15, 30と1つの出力端子35を有し以下のように動作する。

【0016】

入力端子15に設定電流 I_c を入力し、入力端子30には F/I 変換器300の出力電流 I_o を入力すると I_c , I_o 大小関係に応じてトランジスタQ9のドレイン電位が変化する。具体的には $I_c < I_o$ ならトランジスタQ9のドレイン電位が上昇し、 $I_c > I_o$ ならトランジスタQ9のドレイン電位が下降する。従って、 $I_c < I_o$ なら出力端子35の制御電流 I_v は増加し、 $I_c > I_o$ なら出力端子35の制御電流 I_v は減少する。この電流加算回路200の電流利得はトランジスタQ9, Q10のコンダクタンスを g_{m9} , g_{m10} とし、トランジスタQ9のインピーダンスを r_g とすると、利得 $\propto g_{m9} \cdot g_{m10} \cdot r_g$ となり、極めて高い利得を実現することができる。

【0017】

図3において、CC0 100はトランジスタ対Q21, Q31, Q22~Q2n, Q32~Q3nの奇数段のCMOSインバータのリングカウンタで構成している。また、リングカウンタの各段の V_{cc} 側及びGND側にはトランジスタQ11~Q1n, Q41~Q4nからなる定電流回路が挿入されており、これらの定電流回路はカレントミラー回路を構成するトランジスタQ7, Q5を介して電流加算

回路200の出力端子35と接続する。

【0018】

このように電流加算回路200の電流利得が非常に高いのでCC0 100は制御電流 I_v の変化に対して極めて高い感度でCC0 100の出力周波数 f_v を変化させることができる。

【0019】

次にF/I変換器300について説明する。

【0020】

図4にF/I変換器300の回路構成を示す。図4に示すF/I変換器300は、CMOSのプッシュプルインバータInv1とその出力側のキャパシタC_oで充放電回路を構成しており、その充電電流はトランジスタQ27～Q34に至る多段のカレントミラー回路のフィルタを介して出力端子30より出力される構成としている。

【0021】

インバータInv1の電源側電圧は、常に一定となるように、トランジスタ差動対Q21, Q22及びトランジスタQ23, Q24, Q25, Q26等で構成される差動増幅器Ampで負帰還制御している。なおキャパシタC1はA点の急峻な電圧変化を抑制するための平滑キャパシタである。このようにインバータ

Inv1の電源側電圧はカレントミラー回路を構成するQ27, Q28のゲートを介して負帰還制御されるので、Vccを抵抗R1, R2で分圧した電圧の変動をなくし一定電圧とすることができる。

【0022】

このように構成されたF/I変換器300の動作について説明する。

【0023】

入力端子25から f なる周波数のパルス電圧が入力されると、インバータInv1は入力がhighレベルの時にインバータ出力はlowとなりキャパシタC_oは0(V)となる。入力がlowレベルの時にインバータInv1の出力はhighとなりキャパシタC_oはV(V)に充電される。以下、周波数 f でインバータがlow/highをくり返すと、キャパシタC_oは0-V間の充放電を繰り返す。従って、A

点よりインバータに供給される電流 I は $I = C_o \cdot V \cdot f$ となって周波数 f に比例したパルス電流となる。このようにして得られるパルス電流は波高値が極めて高く、帰還信号として適さない。そこで、このパルス電流を平滑化し、ほぼ完全な直流電流とするためにトランジスタ $Q_{27} \sim Q_{34}$ からなる多段のカレントミラー回路の一次側 (Q_{27} , Q_{29} , Q_{33}) と二次側 (Q_{28} , Q_{30} , Q_{34}) の間の直線性が広い動作電流密度に亘って保たれるように、一次側と二次側の対称性を良くし、かつ折り返しノードから見たインピーダンスを高くし、それぞれの高インピーダンスのノード (B 点, C 点) に容量 C_2 , C_3 の如く平滑キャパシタを挿入する。このように構成されたカレントミラー回路のトランジスタ Q_{27} に流れたパルス電流は Q_{28} , Q_{29} を流れて C_2 で平滑化され、 Q_{30} , Q_{33} を流れて C_3 でさらに平滑化され、最終的に Q_{34} の出力端子 30 からほぼ完全な直流となって出力される。

【0024】

この構成によれば、広範囲に亘って入力に比例した出力を得ることができる。

図 5 (a), (b) に上述した F/I 変換器 300 の入出力特性を示す。図 5 (a), (b) は電源電圧 $V_{cc} = 2.5 \text{ V}$, A 点の電圧 $= 1.5 \text{ V}$ の場合における入出力特性で、入力周波数 f 及びキャパシタ C_o に比例した出力電流 I_o が得られることがわかる。入力周波数 f に対する直線性も極めて優れ、 $10 \sim 100 \text{ MHz}$ の範囲で 0.5% 以内の直線性が得られる。また、図 4 の F/I 変換器 300 のフィルタはリップル、応答の点でも優れ、 10 MHz 入力時でもリップルが 0.05% , 95.5% の整定が $5 \mu\text{s}$ 以内となる。

【0025】

図 6 に $CC0_{100}$ 単体と図 2 で示した制御系の入出力特性を示す。図 6 (a) は $CC0_{100}$ 単体での入出力特性を示したものであり、 $CC0_{100}$ の利得 f_v/I_v は制御電流が大きくなるにつれて飽和により次第に直線性が低下し、 1000 MHz 附近では低周波の $1/10$ 以下に直線性が低下している。

【0026】

図 6 (b) は、図 2 で示した $CC0_{100}$ の出力を F/I 変換器 300 を介して負帰還を行った場合の入出力特性を示したものである。この制御系によれば制御利

得 f_v / I_v は、ほぼ一定の値をとり、減少が数%以内といったように直線性が非常に優れたものとなる。このように入出力特性の直線性が高い F/I 変換器 300 により信号を帰還する構成とすることにより、入力である設定電流 I_c と出力周波数 f_v との関係は CC0 100 の特性には影響されず、線形化することができる。

【0027】

図7は図1の広帯域PLL回路の基本的な部分を示したものである。図7の構成においては、CC0 100の帰還回路をN分周の分周回路600と F/I 変換器300により構成し、CC0 100の入力側に、入力周波数 f_{in} を入力とする F/I 変換器400を設けている。また、電流加算回路200には F/I 変換器400の出力である周波数設定電流 I_c 、入力端子40から位相比較器（図示せず）の出力である $\pm \Delta I$ が入力され、これらを加算した制御電流 I_v がCC0 100に入力される構成となっている。分周回路600は2つの F/I 変換器300、400の動作条件を同じにするためのものである。

【0028】

以上のように構成した図7に示す回路の動作は次のようになる。

【0029】

入力端子10から入力された入力周波数 f_{in} の入力信号は直線性の優れた F/I 変換器400により設定電流 I_c に変換され、電流加算回路200で増幅されて制御電流 I_v となってCC0 100に入力される。CC0 100は、制御電流 I_v に応じて出力周波数 f_v の出力信号を出力する。この出力信号は分周回路600により $1/N$ に分周されて F/I 変換器300に入力され出力電流 I_o を出力する。そして、 $I_c \doteq I_o$ なる点でこの制御系は平衡し、その時、分周回路600の出力端子25の周波数は入力周波数 f_{in} に等しくなる。

【0030】

ここで入力側の F/I 変換器400および帰還側の F/I 変換器300の利得をそれぞれ K_1 (MHz/ μ A)、 K_2 (MHz/ μ A) とすると各 F/I 変換器300、400の入出力間には次の関係式が成立する。

【0031】

【数1】

$$\left. \begin{aligned} I_c &= K_1 \cdot f_{in} \\ I_o &= K_2 \cdot f_v / N \end{aligned} \right\} \quad \dots (1)$$

【0032】

また電流加算回路200の制御利得が十分大きいとすると $I_c = I_o$ となるから数2のようになる。

【0033】

【数2】

$$\left. \begin{aligned} K_1 f_{in} &= K_2 \cdot f_v / N \\ f_v &= \frac{K_1}{K_2} \cdot N f_{in} \end{aligned} \right\} \quad \dots (2)$$

【0034】

2つのF/I変換器300, 400を同一定数の同一回路で作ると $K_1 / K_2 = 1$ が成立し、結局 $f_v = N f_{in}$ となる。

【0035】

数2で示されるようにこの制御系は、通常のPLLによる位相制御と異なり、周波数の比例制御であるから応答、周波数精度ともF/I変換器300, 400によってのみ決まることになるので高速、高精度である。この方式は周波数精度が高いので、PLL回路の位相比較器は位相比較機能のみでも引き込み速度は速くなる。

【0036】

ここで、分周回路600、F/I変換器300、400は、それぞれに入力されている周波数に対し線形動作が保証されているから、CC0 100の出力周波数 f_v は高周波の非線形領域まで入力周波数 f_{in} に比例した出力周波数 f_v を得ることができる。

【0037】

このように図7に示したPLL回路の構成における利点は次のようになる。

【0038】

(1) 入力周波数 f_{in} に比例して正確にCC0 100の中心周波数 f_v を設定することができる。

【0039】

(2) 分周回路600を用いてより高い限界的な発振領域で発振させることができる。

【0040】

(3) 2つのF/I変換器300、400をペアで用いているため誤差やドリフト等があった場合でも特性は両者の比となり単体の場合よりも誤差は低減される。

【0041】

(4) 常にF/I変換器300、400の精度に近い範囲でCC0 100の中心周波数がほぼ正確に設定されるため、PLL回路としての引込み時間が短縮される。

また、より制御精度を向上させるためには、2つのF/I変換器300、400の特性を同一にすればよく、例えば図4で示した基準分圧抵抗 R_1 、 R_2 を共通にしたり、基準キャパシタ C_0 を多数個に分割して配列し、配列した基準キャパシタを交互に2つのF/I変換器300、400のキャパシタに割り当てるようにすることで、キャパシタの配置による依存性を少なくすることができる。

【0042】

また、二つのF/I変換器300、400の構成をより簡単にすることは、低電圧化や動作のバラツキの点でも有効であるため、より簡単化したF/I変換器を図8に示す。

【0043】

図8のF/I変換器は、図4で用いた差動増幅器Ampを用いないF/I変換器である。このF/I変換器、キャパシタC_oの充放電インバータInv1の動作電源端子は、トランジスタQ27, Q28の対からなる第1のカレントミラー回路の入力側へ並列キャパシタC1と共に接続される。更に第1のカレントミラー出力は、トランジスタQ29, Q30に対する第2のカレントミラー回路へ接続され、第2のカレントミラー回路はトランジスタQ33, Q34の対からなる第3のカレントミラー回路へ接続されて出力端子30へ導かれる。各カレントミラーの1次側と2次側との間には電流のリプル分を低減するための各CRフィルタ、R8とC2, R9とC3, R10とC4が用いられる。

【0044】

このように構成されたF/I変換器は、入力端子25にオン/オフの交番電圧が入力されると、インバータInv1を介して、キャパシタC_oはV_{cc}-V_d（注V_d: Q27のダイオード順電圧）に充電されトランジスタQ27にはパルス状の電流が流れる。そしてトランジスタQ28にはリプルが低減された二次電流が流れる。更に第2, 第3のカレントミラー回路によって平滑され、出力端子30から入力周波数に比例した直流出力が得られる。図8に示した回路では差動増幅器を用いないためより低い電源電圧で動作させることができる。

【0045】

以上説明した各部の構成に基づいて、図1に示した広帯域PLL回路について説明する。

【0046】

図1に示した広帯域PLLは図7に示したPLLをより具体的に示したものである。

【0047】

入力端子10に入力された入力周波数f_{in}の入力信号は、位相比較器700に入力され、VCOブロックから帰還される周波数f_{FB}の信号との位相を比較し、アップパルス(TU), ダウンパルス(TD)を出力する。このアップパルス(TU), ダウンパルス(TD)は、チャージポンプ回路800に入力され、こ

れにより位相差に応じた信号を出力し、フィルタキャパシタ C_F により電圧 V_F に変換された後、VCOブロックに入力される。

【0048】

チャージポンプ回路800から出力された電圧 V_F は V/I 変換器900で電流に変換され入力制御電流 ΔI_1 として電流加算回路200に入力される。尚、係数回路910から V/I 変換器900へ F/I 変換器400の出力が入力されているが、これは V/I 変換900を調整するためのものである。

【0049】

この電流加算回路200には、更に F/I 変換器400を介して入力周波数 f_{in} に相当する設定電流 I_c と、 F/I 変換器300を介してフリップフロップ (FF) 150の出力周波数 f_o に相当する出力電流 I_o とが入力される。電流加算回路200では、これら入力される電流を加算し、CC0 100の制御電流 $I_{v'}$ を出力する。

【0050】

一方、位相比較器700から出力されるアップパルス (TU)、ダウンパルス (TD) は、そのままVCOブロックの入力となり、 T/I 変換器950により安定化のためのリード信号電流 ΔI_2 に変換される。尚、 T/I 変換回路950は、変換のための調整信号として、制御電流 $I_{v'}$ を係数回路b2を介して入力されるようにしている。

【0051】

最終的に、電流加算回路200によって加算された制御電流 $I_{v'}$ とリード信号電流 ΔI_2 とが電流加算回路110で加算されて、CC0 100の制御電流 I_v としてCC0 100に入力される。

【0052】

このように構成した広帯域PLL回路は、PLLの位相引き込み動作に先だって、2つの F/I 変換器300及び400の電流突き合わせによって、CC0 100の出力周波数 f_v が F/I 変換器の動作速度及び精度により高速かつ正確に設定される。

【0053】

その後、入力端子10の入力信号 f_{in} と出力端子21の出力信号 f_o との間に存在する周波数差や位相差が、分周回路600、位相比較器700、チャージポンプ回路800、フィルタCF、V/I変換器900、電流加算回路200、CC0 100の一巡ループで構成する負帰還サンプリング制御系によって精密に積分制御され、入、出力間の周波数差、位相差はほぼ0になる。さらに、位相差がほぼ0に合った定常状態で位相比較器700の出力が発する極めて狭いアップ(TU)、ダウン(TD)パルスは積分制御の他に、別途リード(比例)制御としてT/I変換器950を介してCC0 100の入力に加えられ、系の安定化のダンピング動作となる。なお、CC0 100に対する制御利得の直線化のため、V/I変換器900の基準は設定電流 I_c 側、T/I変換器950の基準は I_v' 側からとっている。これは、PLL回路の制御に望ましい次の二点を実現していることを意味する。第一はCC0 100の出力周波数の大小に比例して自動的にCC0の制御する範囲が決められることであり、第2はCC0 100に飽和等の非線形性があっても、それはCC0 100に輸入される制御電流 I_v に反映されるので、高速な信号の制御電流も線形補正される。

【0054】

図1の各ブロックの詳細回路を図9に示す。(ただし図1の位相比較器700とチャージポンプ部800は省略している。)図9における入、出力側のF/I変換器400、300の構成及び特性は、先に図4、図5(a)、(b)に説明したものと同一である。CC0 100のリングカウンタ $Amp1 \sim Ampn$ は、より高周波動作が可能な差動アンプで構成している。リングカウンタ Amp の差動出力は出力バッファ120を介して発振周波数 f_v の信号を出力する。なお、出力バッファ120はQ51～Q55からなる差動シングルエンド変換段、インバータアンプ $Inv3$ 、 $Inv4$ で構成している。V/I変換器900はトランジスタQ41～Q44及びバイアスインバータ $Inv2$ からなる差動増幅段で構成しており、その出力はトランジスタQ8のドレン側で設定電流 I_c に加算している。また、T/I変換器950はトランジスタQ71～Q76なる回路で構成しており、その基準バイアスは電流加算回路200のトランジスタQ11から与えられている。

そしてT/I変換器950の入力は端子51, 52より与えられ、出力は電流加算回路200のトランジスタQ13に加えられている。電流加算回路200の詳細構成、動作については図3と同様であるが、トランジスタQ12及びQ13の接続点にT/I変換回路950の出力が接続されることで電流加算器110を表している。

【0055】

V/I変換部900の機能はPLLの位相誤差の積分量に応じた制御電流を発生して発振器CC0に加えることである。その具体的な動作について述べると、チャージポンプ800の出力側のフィルタキャパシタ C_F の端子電圧 V_F （位相差の積分電圧）はQ41～Q45の差動アンプで電流に変換され、トランジスタ71, 72のカレントミラーを介してCC0 100の制御電流 I_v に加えられる。

【0056】

PLL回路の位相制御において系の安定化に必要なリード信号発生はT/I変換部950によって発生される。具体的にはトランジスタQ72, Q75の定電流回路とスイッチトランジスタQ73, Q76で構成されている。端子51, 52に位相比較器700からのアップ(TU), ダウン(TD)パルス信号によってQ73, Q76はオンし、その期間のパルス電流は上述した差動のV/I変換器900の出力電流に加算され、CC0 100の制御電流となる。

【0057】

図10に本広帯域PLL回路の線形化制御の特性を示す。入力及び帰還側のF/I変換器300, 400の突き合わせ帰還制御によって、図10(a)に示すように、CC0 100に非線形性がある場合にも入力周波数の f_{in} の高($f_{in}(H)$), 低($f_{in}(L)$)共に直線的に発振周波数 f_v の中心を設定することができる。さらに、制御入力の $\pm \Delta I$ 発生の基準をCC0 100の制御電流 I_v を基にしているので、発振周波数の制御範囲 $\pm \Delta f(L)$, $\pm \Delta f(H)$ はそれぞれの周波数 $f_v(L)$, $f_v(H)$ に比例した範囲で正規化される。このようにCC0 100の可変周波数範囲 Δf を中心周波数の設定値に比例して設定できることは、広帯域PLL回路においてリークノイズ等の影響を受け易いループフィルタなどのダイナミック回路が分担する可変信号範囲を必要最小限に設計でき、PLL回路による制御のS/

N比向上の点で望ましい。

【0058】

以上説明したようにCCOの非線形性の増大を克服して広帯域で動作可能なPLL回路を実現する本発明の技術は、PLLの動作帯域を極限まで高めるので、広帯域PLL回路という観点から一般的に多くの応用で望ましい。とりわけ、先端的なマイクロプロセッサの内蔵クロック発生器PLLへの応用では、素子の微細化、動作の低電圧化、高周波化が年々同時進行し、CCOの非線形性は著しく大きくなるので、以下に示すような高速マイクロプロセッサの内蔵クロック発生PLL応用は好適である。

【0059】

図11に本発明の広帯域PLL回路を組み込んだマイコンシステムの構成を示す。このマイコンシステムは、マイコンシステムの内部の基準クロックを発振する発振器1000、この基準クロックを各部へ供給するために、分配するクロック分配系1100、この分配系1200により分配されるクロックを受けて処理を行うマイクロプロセッサ1200、クロック分配系によって分配されたクロックを入力とし、マイクロプロセッサからの結果をバス1500へ出力したり、また、バス1500からデータを入力しマイクロプロセッサへ出力するインターフェイス回路1400、クロック分配系からのクロックを受けて、外部機器とのデータのやりとりを行う入出力機器1601～160nから構成されている。これらマイクロプロセッサ1200、インターフェイス回路1400、入出力機器1601～160nは、それぞれ内部に広帯域PLL回路1210、1410、1611～161nを有し、クロック分配系から分配されたクロックを入力としている。これにより、マイクロプロセッサでは、クロック分配系から受けたクロックに同期した信号に基づいてメモリ1300へのアクセスを行い、論理部1220で論理演算を行う。同様にして、インターフェイス回路1400、入出力機器1601～160nはクロック分配系から受けたクロックに同期してデータの入出力を行う。尚、本マイコンシステムではマイクロプロセッサを1つしか示さなかったが、これは複数あってもよい。

【0060】

このようなシステムに広帯域PLL回路を用いることにより、装置内部のクロックスキューを小さくするとともに、マイクロプロセッサ、インターフェース回路、入出力機器間でクロックの位相を合致させることができるので、クロック同期によるデータ転送が短時間かつ容易に行える。

【0061】

ここに示したマイクロプロセッサ1200、インターフェース回路1400、入出力機器1601～160nはそれぞれ1つの半導体基板上に構成されるものである。また、メモリ1300を含めてこれら全てを1チップ上に構成する場合は、1つのPLL回路でマイクロプロセッサ1200、インターフェース回路1400、入出力機器1601～160nにクロックを分配するように構成してもよい。

【0062】

なおこれまでは、線形化する制御発振器として電流制御形発振器CCOとそれに対応した周波数／電流変換器の組合せで示したが、電圧制御形発振器VCOと周波数／電圧変換器で構成できることも自明である。その場合、既述の周波数／電流変換器の出力に抵抗を終端することにより周波数／電圧変換器として用いることができる。

【0063】

以上説明したように、入出力特性の直線性が高いF／I変換器を用いて制御系を構成することにより発振器の特性に依存しないで線形制御を可能としており、発振器の特性が不明であっても広帯域PLL回路を実現することができる。

【0064】

また、発振器の非線形性が大きくても、その特性が単調な増加或いは減少する特性であればよい。このように本発明による非線形補正方法の適用範囲は広く、広帯域な発振特性を有するが、制御入力に対する出力の非線形性が大きすぎたり感度が高すぎて従来は可変発振器としての利用が困難であった各種の発振器を使ってPLL回路を実現することができることを意味する。

【0065】

以下に、本発明に利用することができる発振器の一例について説明する。

【0066】

図12に基板電圧制御のリングカウンタによる可変発振回路を示す。図12に置いて既に示した図3と同一若しくは等価なものには同一符号を付してある。本発振器は、電流加算回路200、リングカウンタ240、電流加算回路200とリングカウンタ240とを接続するための制御インターフェイス回路230により構成されている。インターフェイス回路230は電圧増幅段を構成するトランジスタQ71とカレントミラー対のPMOSトランジスタQ72～Q74、NMOSトランジスタQ75、Q76、及び抵抗R6、R7で構成している。リングカウンタ240を構成するインバータ段のPMOSトランジスタQ21～Q2nの基板電極は、インターフェイス回路230の抵抗R7へ接続され、同様にNMOSトランジスタQ31～Q3nの各基板電極もインターフェイス回路230の抵抗R6へ接続されている。

【0067】

このような構成における本可変発振回路の動作は次のようになる。

【0068】

電流加算回路200において、設定電流 I_c と F/I 変換器300からの出力電流 I_o は差をとられ、 $I_c > I_o$ なら端子30の電圧は低く、トランジスタQ71はカットオフないし、極めて低電流となり、インターフェイス回路230のカレントミラー回路にはほとんど電流が流れない。従ってインターフェイス回路230の抵抗R6、R7の電圧降下は、ほぼ0となり、リングカウンタ240の各トランジスタは基板バイアスがなく相対的に高い周波数で発振する。次に、 $I_c \leq I_o$ のなら電流加算回路200の端子30の電圧は上昇し、インターフェイス回路230のトランジスタQ71に電流が流れ、カレントミラー回路の各トランジスタQ72～Q74、Q75、Q76は順バイアスされて電流が流れる結果、抵抗R6、R7は電圧降下、すなわち基板電圧が生じてリングカウンタ240の回路電流が減少し、発振周波数は低下する。従って、電流加算回路200とトランジスタQ71からなる電流加算の利得が十分高く、リングカウンタ240の

出力がF/I変換器(図示せず)を介して電流加算回路200の端子30に負帰還されている状態では、 $I_c = I_o$ となって非線形な発振特性は線形化される。

図13は、別の発振器を示したもので、リングカウンタ240の周波数可変手段として、電源電圧を可変する回路を有している。この回路は、電流加算回路200の電流 I_c 、 I_o の大小に応じてトランジスタQ71の抵抗R5の端子電圧が変化し、複数トランジスタQ771~Q77nからなるソースホロワの出力電圧を変えてリングカウンタ240の発振周波数を変化させる。電源電圧を変化させたリングカウンタ240の出力は電流電圧比例して各インバータ段のしきい値も変化するから、外部に安定な出力振幅を取り出すためには、何らかのレベルシフトが必要になる。図13の回路においては、出力段インバータInv5を結合容量CcとダイオードD11、D12からなる非線形抵抗のバイアスを用いた交流増幅回路で実現している。

【0069】

図14に、更に別の発振器の回路を示す。図14においては、リングカウンタを構成するインバータ段は、増幅器としてのトランジスタQ31をダイオードQ31'の並列回路で構成し、インバータ段には定電流トランジスタQ11を介して定電流 I_v が給電される。次段以降も同様の構成であり奇数段でリングカウンタを構成している。このインバータ段の動作は、トランジスタQ31がオフ状態では、Q11の定電流はダイオードQ31'に流れ、出力電圧はダイオードでクランプされている。次いでQ31がオンになると電流はダイオードQ31'からトランジスタQ31に切り替わり、出力電圧は接地電圧となり、オン/オフに応じて1ダイオード分の振幅が得られる。

【0070】

この回路の出力振幅はダイオードによってリミットされるため、振幅は制御電流 I_v に正比例せず、 I_v の平方根($\sqrt{I_v}$)に比例する。従って出力周波数の平方根($\sqrt{\cdot}$)の特性となり、非線形性が大きいので実用範囲は制約されていたが、本発明の線形化CCO技術によって実用化帯域が広帯域化できるCCOの好適例となる。図14のCCOとしての利点は、

1) 直列トランジスタ数が少ないので低電圧動作が容易であり、2) 出力電圧を

接地側でダイオードクランプしているので電源電圧ノイズ及び影響を低減できる。

【0071】

以上のように、本発明では発振器の非線形性が大きくても、また、発振出力の振幅が変化するような場合でも応用が可能であり次の利点を持つ。

【0072】

1. CCOの非線形性を線形化できるため使用できる周波数範囲が2～3倍広がる。

【0073】

2. 負帰還制御による線形化技術なので非線形性の細部が不明でも広く適用できる（応用範囲が広く設計容易）。

【0074】

3. LSIの微細化、低電圧化、高周波化に伴う非線形補正ができるのでそれらの進展に対応し易い。

【0075】

4. 入出力周波数に正確に対応した系のパラメータ管理ができるので広範囲動作（例えば周波数範囲10倍）のPLLが実現でき、少ないPLLの種類で応用範囲が広がるため経済的である。

【0076】

5. PLLの中心周波数設定が正確にできるため、引き込み時間が短縮できる。
6. 正確な中心周波数が設定できるので、可変制御範囲を必要最小範囲にでき、制御系のノイズ、ジッタ等を少なくできる。

【0077】

7. V/I変換を差動で動かしているので、特性変動やプロセスばらつきの影響を低減でき高精度化する。

【0078】

【発明の効果】

以上説明したように本発明によれば、発振回路の特性に関わらず負帰還制御により線形制御を可能とし、広範囲動作可能なPLLを実現することがきる。また

、PLLの消費電力を大幅に低減することができる。

【図面の簡単な説明】

【図1】

本発明のPLL回路の構成をブロックで示した図。

【図2】

本発明のPLL回路の基本構成をブロックで示した図。

【図3】

本発明の電流変換回路と発振回路の回路構成を示した図。

【図4】

本発明のF/I変換器の回路構成を示した図。

【図5】

本発明のF/I変換器の入出力特性を示した図。

【図6】

図2の入出力特性を示した図。

【図7】

本発明のPLL回路の基本構成をブロックで示した図。

【図8】

本発明の他のF/I変換器の構成を示した図。

【図9】

本発明のPLL回路の回路構成を示した図。

【図10】

本発明のPLL回路の入出力特性を示した図。

【図11】

本発明のPLL回路をシステムに適用した構成を示した図。

【図12】

本発明で適用可能な他の発振器の一例を示した図。

【図13】

本発明で適用可能な他の発振器の一例を示した図。

【図14】

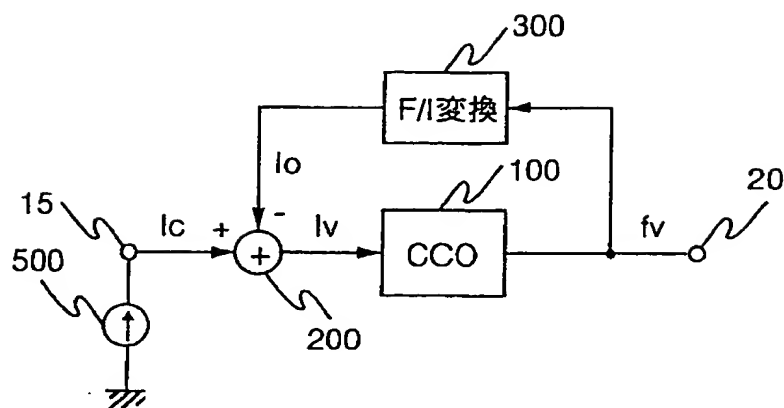
本発明で適用可能な他の発振器の一例を示した図。

【符号の説明】

100…CCO、150…フリップフロップ、200…電流加算回路、300
， 400…F/I変換器、600…分周回路、700…位相比較器。

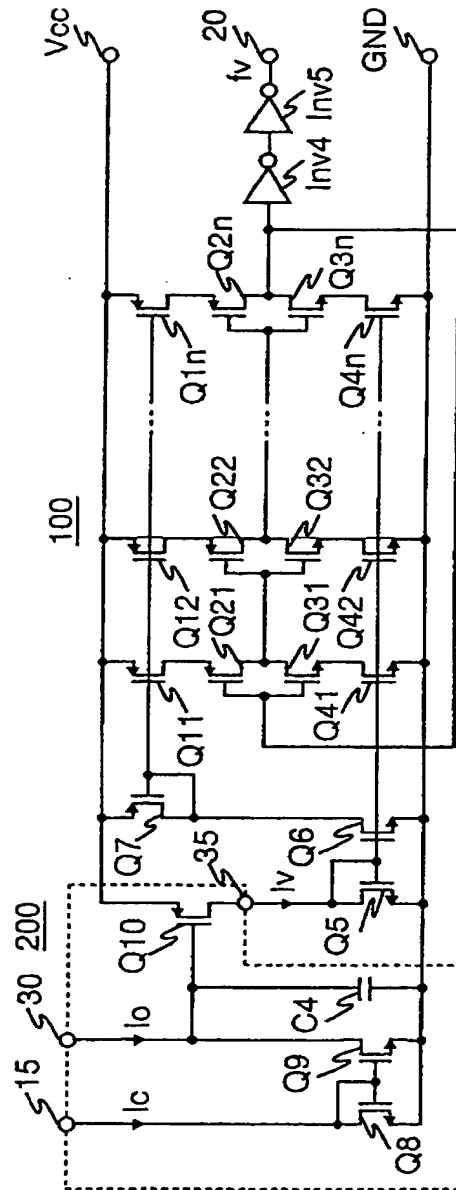
【図2】

図 2



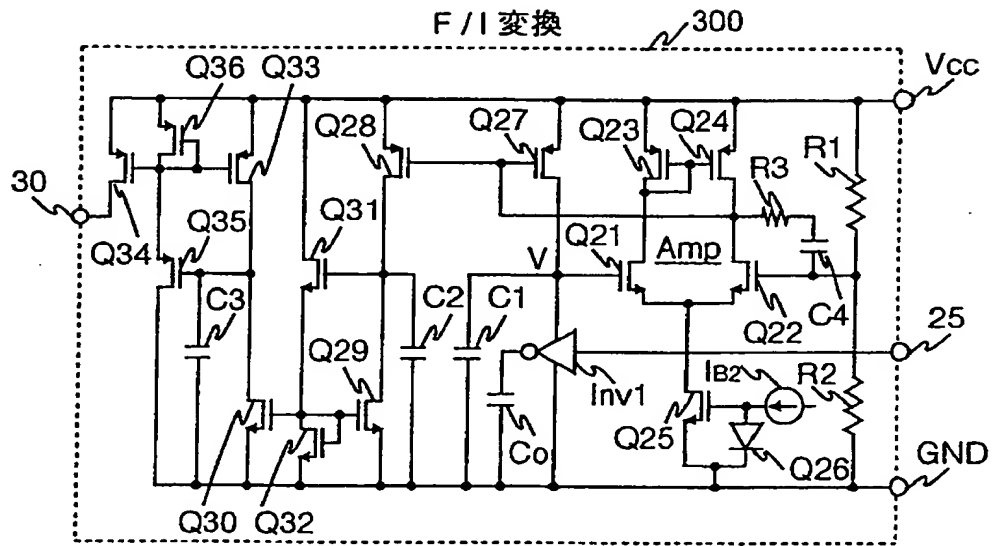
【图 3】

图 3



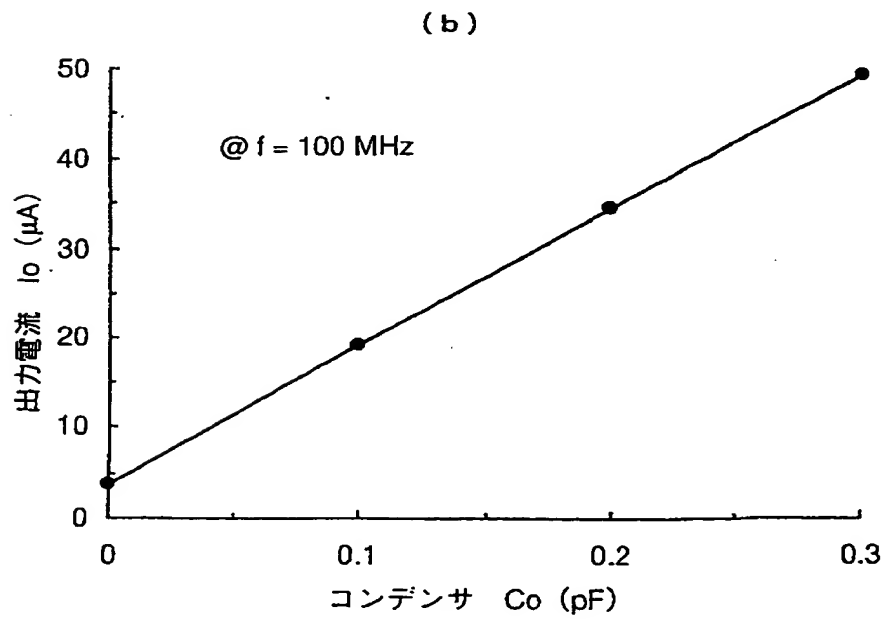
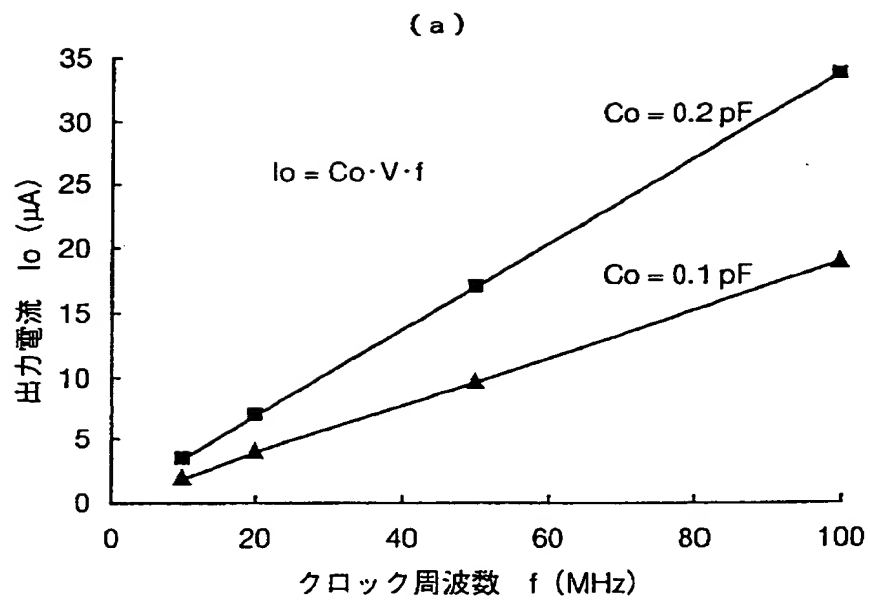
【図4】

図 4



【図 5】

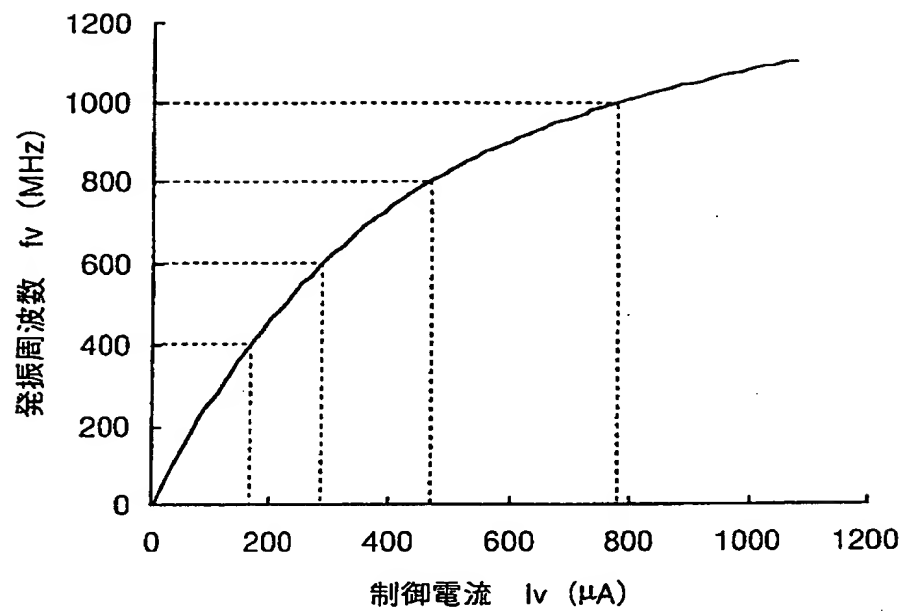
図 5



【図 6】

図 6

(a)



(b)

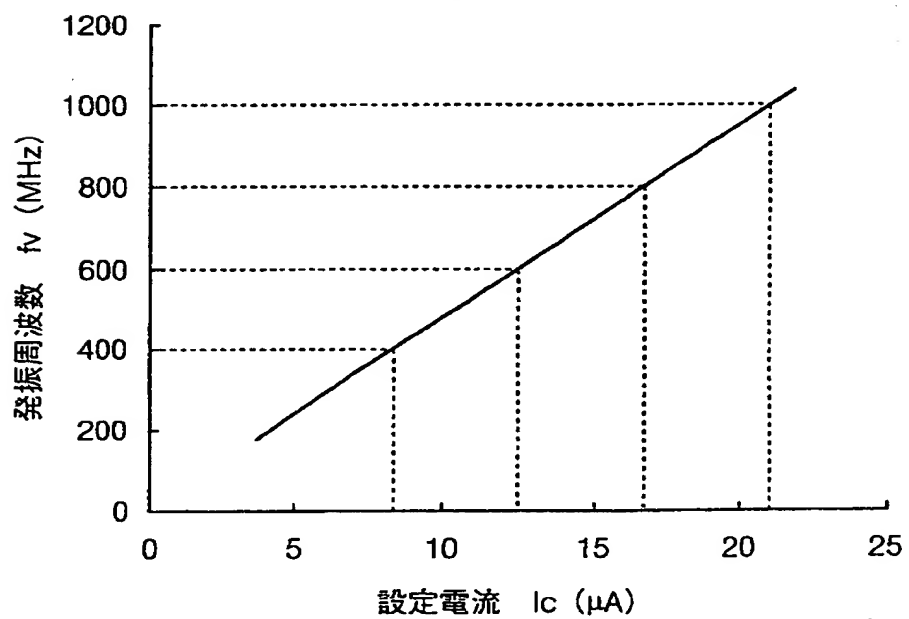
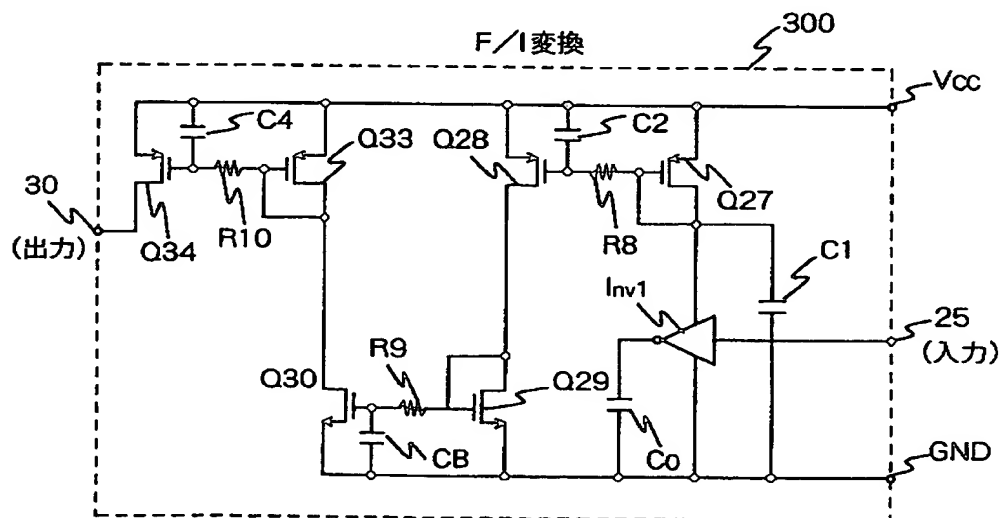


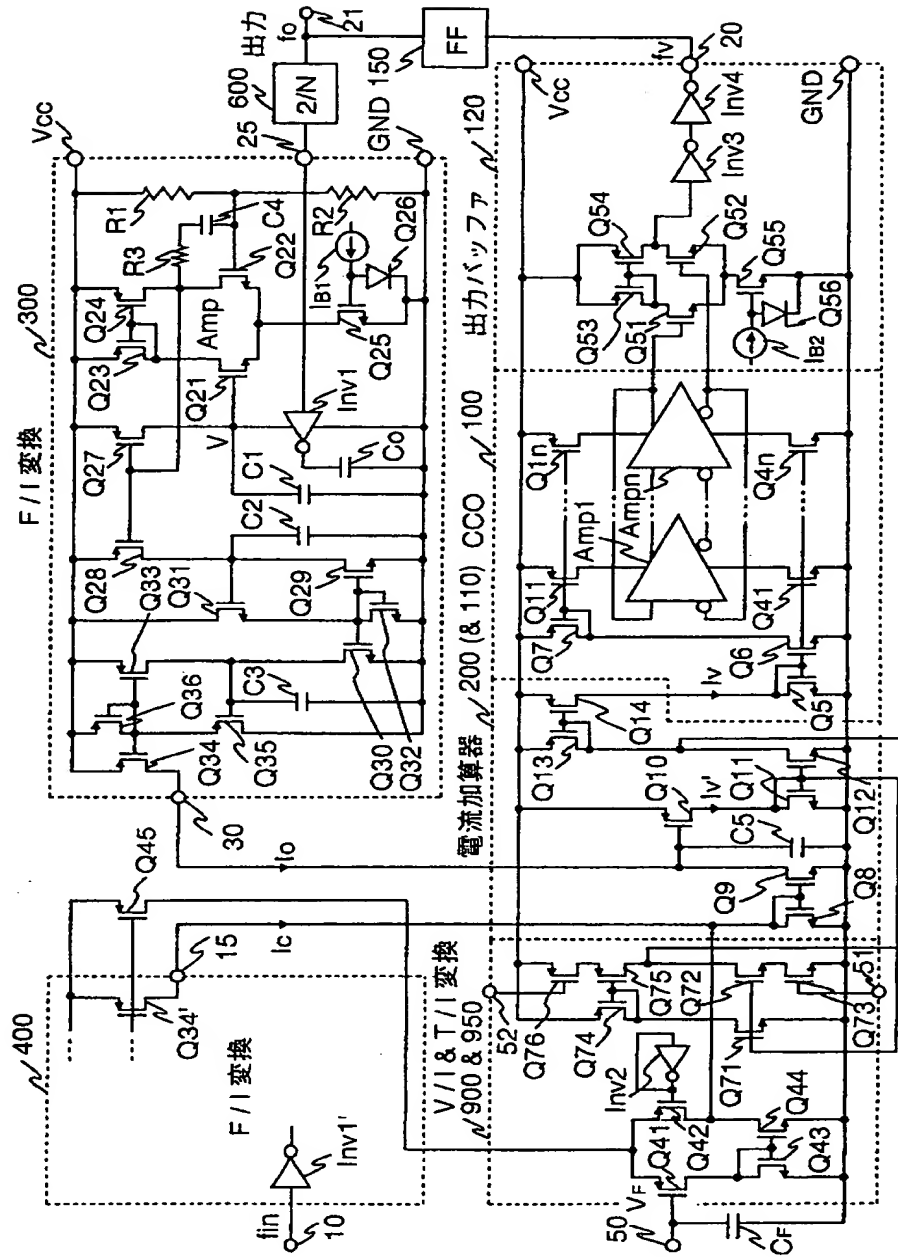


图 8



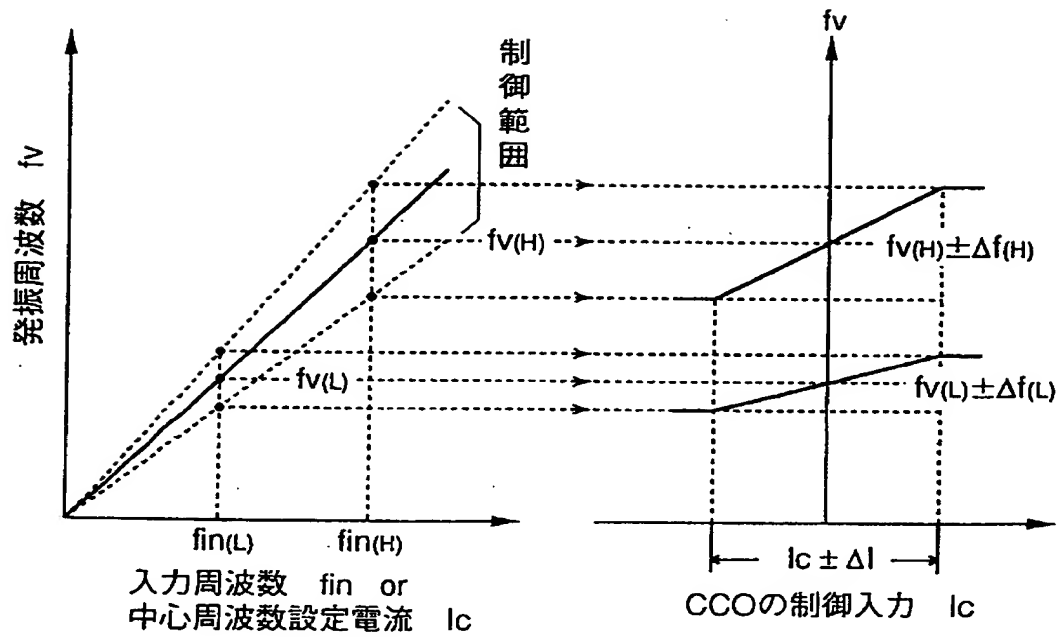
【図9】

図 9



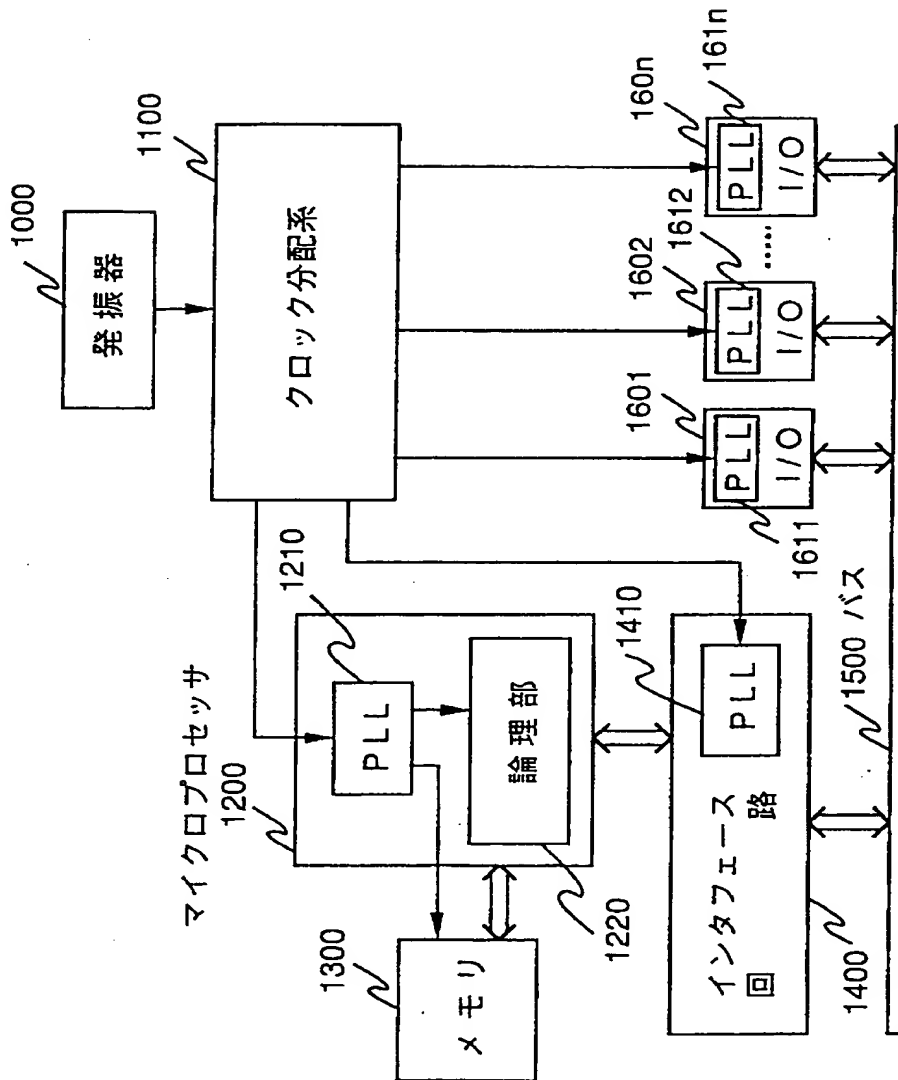
【図10】

図 10



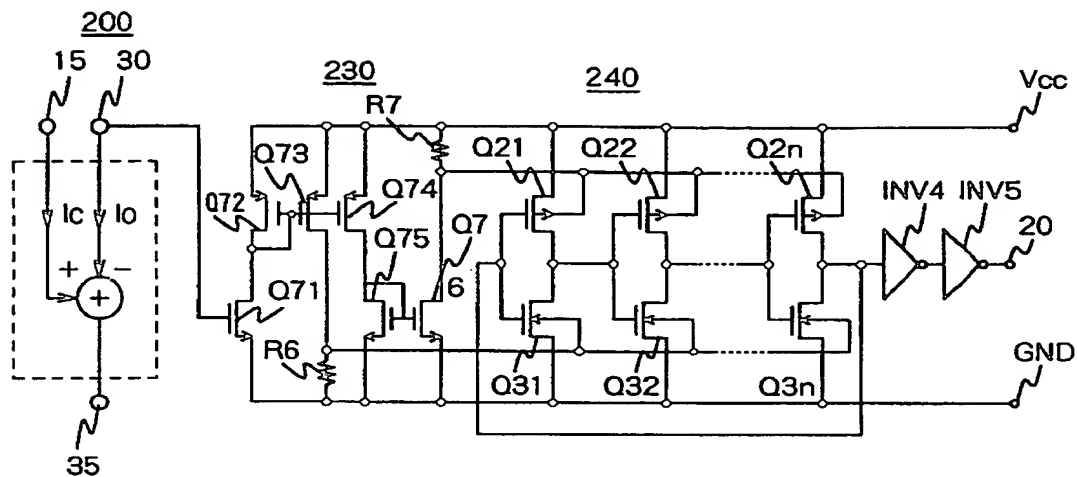
【図11】

図 11



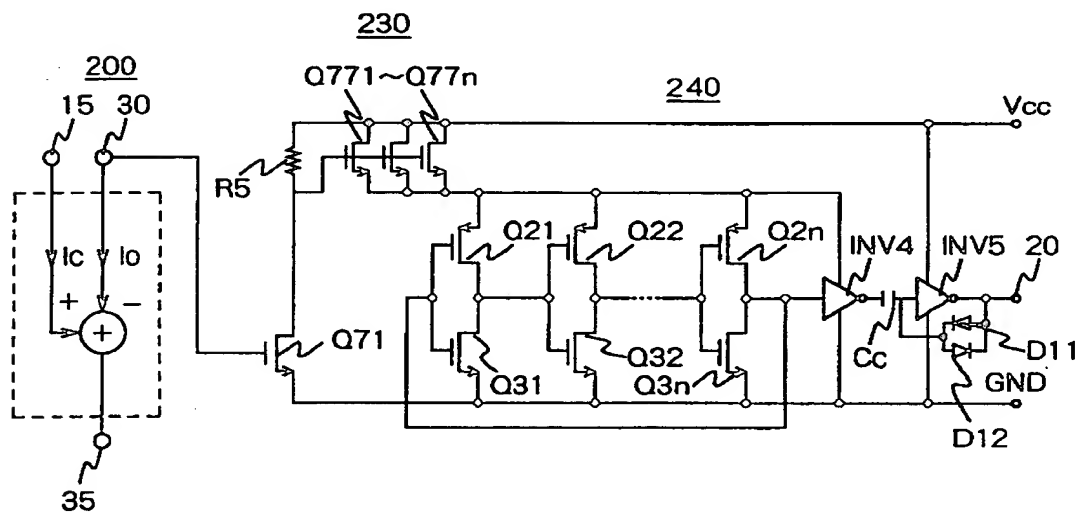
【図 12】

図 12



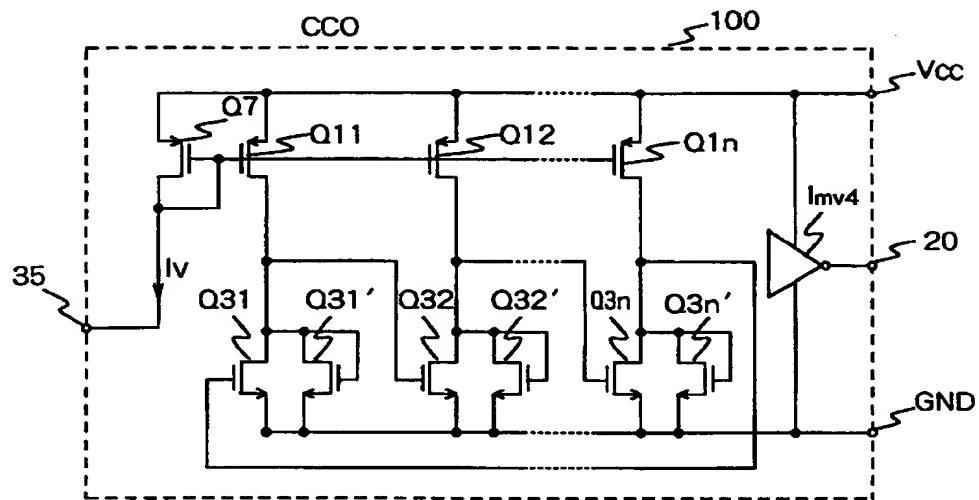
【図 13】

図 13



【図14】

図 14



【書類名】 要約書

【要約】

【課題】

発振器の非線形性に影響されない、広範囲での動作可能なPLL回路を実現すること。

【解決手段】

入力端子10から入力される入力周波数 f_{in} の入力信号と、出力周波数 f_o の出力信号とを位相比較器700に入力した結果得られる、位相差に応じた電流 ΔI_1 と、出力周波数 f_o の出力信号を入出力特性の直線性が高いF/I変換器300を介し得られる出力電流 I_o と、入力周波数 f_{in} の入力信号を入出力特性の直線性が高いF/I変換器400を介して得られる設定電流 I_c によりCCO100を制御するための制御電流 I_v' を決定する。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005108

【住所又は居所】 東京都千代田区神田駿河台四丁目6番地

【氏名又は名称】 株式会社日立製作所

【代理人】 申請人

【識別番号】 100068504

【住所又は居所】 東京都千代田区丸の内1-5-1 株式会社日立製作所 知的所有権本部内

【氏名又は名称】 小川 勝男

特平 9-171470

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

